

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-143910

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H01C 7/10

(21)Application number : 2000-223336

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 25.07.2000

(72)Inventor : YOSHIDA YOSHIKAZU  
TOMINAGA TORU  
MORIMOTO MASASHI

(30)Priority

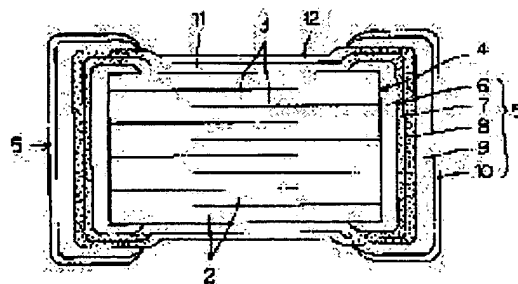
Priority number : 11240738 Priority date : 27.08.1999 Priority country : JP

(54) LAMINATED CHIP VARISTOR AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent generation of defect in a varistor main body and growth of a plating film in an undesired part of the varistor main body which are caused by plating solution, when a metal film excellent in solderability is formed on the outermost layer of an external electrode of a laminated chip varistor by using electroplating.

SOLUTION: In order to form an external electrode 5, the following are formed by heat treatment; a first layer 6 containing metal component and glass component on the outer surface of a varistor main body 4, a second layer 7 containing glass component and a first insulating layer 11 on the first layer 6 and the outer surface of the varistor main body 4 exposed from the first layer 6, a third layer 8 containing glass component and a second insulating layer 12 on the second layer 7 and the first insulating layer 11, and a fourth layer 9 containing metal component on the third layer 8. A fifth layer 10 is formed on the fourth layer 9, by using an electroplating film composed of metal excellent in solderability. Metal component contained in the fourth layer 9 is diffused in the second layer 7 and the third layer 8 in the course of heat treatment.



## LEGAL STATUS

[Date of request for examination]

04.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] So that the varistor main part containing at least one pair of internal electrodes which counter mutually through two or more varistor layers and aforementioned varistor layers which consist of zinc-oxide system ceramic material may be prepared and it may connect with the specific thing of the aforementioned internal electrode electrically By giving and heat-treating a metal component and a glass component into the specific portion on the outside surface of the aforementioned varistor main part By forming the 1st layer for an external electrode, and giving and heat-treating a glass component on the 1st aforementioned layer By forming the 2nd layer for an external electrode on the 1st aforementioned layer, and giving and heat-treating a different glass component from the glass component given on the 2nd aforementioned layer for the 2nd-layer [ aforementioned ] formation The 3rd layer for an external electrode is formed on the 2nd aforementioned layer. on the 3rd aforementioned layer By giving a different metal component from the metal component given for the 1st-layer [ aforementioned ] formation, and heat-treating on the same conditions substantially with the heat treatment conditions applied for the 1st-layer [ aforementioned ] formation By forming the 4th layer for an external electrode and forming the electroplating film which consists of a good metal of soldering nature on the 4th aforementioned layer The manufacture method of a laminating chip varistor that diffusing the metal component contained in the 4th aforementioned layer into the 2nd aforementioned layer and aforementioned above 3rd layer in heat treatment for having each process and forming the 4th aforementioned layer which forms the 5th layer for an external electrode is performed.

[Claim 2] It is the manufacture method of a laminating chip varistor according to claim 1 that the amount of grants of a glass component is 5 - 10 % of the weight to a metal component in the process which forms the 1st aforementioned layer.

[Claim 3] The manufacture method of a laminating chip varistor according to claim 1 or 2 that 5 or less % of the weight of a glass component is given to a metal component in the process which forms the 4th aforementioned layer.

[Claim 4] Simultaneously with the 2nd-layer [ aforementioned ] formation, on the outside surface of the aforementioned varistor main part exposed from the 1st aforementioned layer The 1st insulating layer which consists of a glass component contained in the 2nd aforementioned layer is formed. simultaneously with the 3rd-layer [ aforementioned ] formation The manufacture method of a laminating chip varistor [ equipped with each process which forms the 2nd insulating layer which consists of a glass component contained in the 3rd aforementioned layer on the insulating layer of the above 1st ] according to claim 1 to 3.

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to improvement of the formation method of the external electrode of a laminating chip varistor especially about the manufacture method of a laminating chip varistor, and a laminating chip varistor.

[0002]

[Description of the Prior Art] The laminating chip varistor is equipped with the varistor main part containing at least one pair of internal electrodes which generally counter mutually through two or more varistor layers and varistor layers which consist of zinc-oxide system ceramic material, and one pair of external electrodes formed in the specific portion on the outside surface of this varistor main part, respectively. On the other hand, an external electrode reaches, on the other hand, the internal electrode which has countered through a specific varistor layer reaches, and another side is electrically connected to another side, respectively.

[0003] In a laminating chip varistor which was mentioned above, in order that an external electrode may consist of two or more layers from which the quality of the material differs mutually typically and the outermost layer of drum may give good soldering nature to an external electrode, it is constituted with the film which consists of a good metal of soldering nature, and the good metal membrane of such soldering nature is usually formed by giving electroplating.

[0004] In relation to laminating ceramic electronic parts equipped with the above external electrodes, the interesting conventional technology is indicated by JP,8-97072,A for this invention.

[0005] Here, after forming the 2nd layer for the external electrode which forms the 1st layer for the external electrode containing a glass frit, next does not contain a glass frit on the end face of the main part of electronic parts constituted with a ceramic so that it may connect with an internal electrode electrically, forming an outermost layer of drum by electroplating is indicated.

[0006]

[Problem(s) to be Solved by the Invention] However, if it applies to formation of the external electrode on a varistor main part equipped with the varistor layer which becomes JP,8-97072,A mentioned above from zinc-oxide system ceramic material about the method of a publication, as for zinc-oxide system ceramic material, the surface potential between the outside surfaces of the varistor main part which electric resistance exposed with the 2nd layer of an external electrode comparatively for the low reason will become comparatively small. Therefore, when electroplating is carried out, the outside surface which the varistor main part exposed will be returned, a plating film will be formed not only in the 2nd layer top but in the outside surface of a varistor main part, and degradation of the property of the obtained laminating chip varistor may be caused.

[0007] Moreover, since zinc-oxide system ceramic material is weak to an acid or alkali, in case the outside surface which the varistor main part exposed performs electroplating, when plating liquid is contacted, the dissolution may arise and the problem that degradation of a varistor main part will be brought about and a varistor property cannot be maintained by it may be produced.

[0008] Furthermore, since the outermost layer of drum of an external electrode is formed, when electroplating is applied, it is easy to produce the internal defect of a varistor main part, and the problem that this also causes degradation of the property of a laminating chip varistor may be encountered. Therefore, the plating liquid with which this problem permeates into a varistor main part from the crevice between an external electrode and a varistor main part etc. is considered to be the cause. Especially, as for permeation of this plating liquid, what is produced in the drawer portion of the internal electrode of a varistor main part is more serious, the junction state of an internal electrode and a varistor layer is worsened, and the problem that the property of a laminating chip varistor will deteriorate especially in life test is caused.

[0009] The problem brought about when the outside surface which the varistor main part mentioned above exposed contacts plating liquid can aim at temporary solution by wearing the outside surface which the varistor main part exposed by the glass membrane so that it may be indicated by JP,8-153607,A.

[0010] However, it is comparatively difficult to form a glass membrane only in the outside surface which the varistor main part exposed with a high precision. For example, a glass membrane is formed also in external electrode section, or there are the state where a glass membrane is not wearing the exposed outside surface completely conversely, and a bird clapper. In the case of the former, formation of the plating film of an outermost layer of drum is checked, and when it is the latter, the problem mentioned above when not forming such a glass membrane cannot be solved completely.

[0011] Then, the purpose of this invention is offering the structure of the laminating chip varistor obtained by the manufacture method of the laminating chip varistor which can solve a problem which was mentioned above, and this manufacture method.

[0012]

[Means for Solving the Problem] This invention is first turned to the manufacture method of a laminating chip varistor. In this manufacture method, in order to solve the technical technical problem mentioned above, each following process is carried out.

[0013] First, the varistor main part containing at least one pair of internal electrodes which counter mutually through two or more varistor layers and varistor layers which consist of zinc-oxide system ceramic material is prepared.

[0014] Subsequently, the 1st layer for an external electrode is formed by giving and heat-treating a metal component and a glass component into the specific portion on the outside surface of a varistor main part so that it may connect with the specific thing of an internal electrode electrically.

[0015] Subsequently, the 2nd layer for an external electrode is formed on the 1st layer by giving and heat-treating a glass component on the 1st layer.

[0016] Subsequently, the 3rd layer for an external electrode is formed on the 2nd layer by giving and heat-treating a different glass component from the glass component given for the 2nd-layer formation on the 2nd layer. <BR> [0017]

Subsequently, the 4th layer for an external electrode is formed by giving a different metal component from the metal component given for the 1st-layer formation on the 3rd layer, and heat-treating on the same conditions substantially with the heat treatment conditions applied for the 1st-layer formation.

[0018] Subsequently, the 5th layer for an external electrode is formed by forming the electroplating film which consists of a good metal of soldering nature on the 4th layer.

[0019] And in heat treatment for forming the 4th above-mentioned layer, diffusing the metal component contained in the 4th layer into the 2nd layer and the 3rd layer is performed.

[0020] It is made for the amount of grants of a glass component to become 5 - 10 % of the weight to a metal component in the process which forms the 1st above-mentioned layer preferably.

[0021] Moreover, in the process which forms the 4th layer, 5 or less % of the weight of a glass component is preferably given to a metal component.

[0022] In the manufacture method of the laminating chip varistor concerning this invention moreover, preferably Simultaneously with the 2nd-layer formation, on the outside surface of the varistor main part exposed from the 1st layer Forming the 1st insulating layer which consists of a glass component contained in the 2nd layer, and forming the 2nd insulating layer which consists of a glass component which is contained in the 3rd layer on the 1st insulating layer simultaneously with the 3rd-layer formation is performed.

[0023] This invention is turned also to the structure of the laminating chip varistor which can be manufactured by method which was mentioned above again.

[0024] The varistor main part with which the laminating chip varistor concerning this invention contains at least one pair of internal electrodes which counter mutually through two or more varistor layers and varistor layers which consist of zinc-oxide system ceramic material, It has one pair of external electrodes formed, respectively, and, on the other hand, an external electrode reaches, on the other hand, the internal electrode which has countered through a specific varistor layer attains to the specific portion on the outside surface of a varistor main part, and another side is electrically connected to it on another side, respectively.

[0025] Moreover, an external electrode is formed on the outside surface of a varistor main part, and is equipped with the 1st layer electrically connected to an internal electrode, the 2nd layer formed on the 1st layer, the 3rd layer formed on the 2nd layer, the 4th layer formed on the 3rd layer, and the 5th layer formed on the 4th layer.

[0026] The 5th layer contains the electroplating film which consists of a good metal of soldering nature including the metal component for which the 4th layer differs from the metal component contained in the 1st layer including the glass component for which the 2nd layer differs from the glass component by which the 3rd layer is contained in the

2nd layer including a glass component including a metal component and a glass component in the 1st above-mentioned layer.

[0027] And the 2nd layer and the 3rd layer contain further the metal component contained in the 4th layer.

[0028] Preferably, in the 1st above-mentioned layer, a glass component is made to be contained five to 10% of the weight to a metal component.

[0029] Moreover, in the 4th layer, 5 or less % of the weight of a glass component is made to be contained to a metal component preferably.

[0030] Moreover, in the laminating chip varistor concerning this invention, the 2nd insulating layer which consists of a glass component contained in the 3rd layer is preferably formed the 1st insulating layer which consists of a glass component contained in the 2nd layer, and on it on outside surfaces other than the portion in which the external electrode of a varistor main part is formed.

[0031] Moreover, the metal component by which the metal component by which the metal component contained in the 1st layer is preferably contained in the 2nd layer and the 3rd layer including Ag or an AgPd alloy is contained in the 4th layer including Ag contains Ag.

[0032] Moreover, the glass component by which the glass component contained in the 2nd layer is contained in the 3rd layer including boron / silicic acid / zinc system glass contains lead / boron / silicic acid / zinc system glass preferably.

[0033] Moreover, the glass component preferably contained in the glass component contained in the 1st layer and the 4th layer contains at least one sort of lead, boron, and silicic acid.

[0034]

[Embodiments of the Invention] Drawing 1 is the cross section showing the laminating chip varistor 1 by 1 operation gestalt of this invention.

[0035] The laminating chip varistor 1 is equipped with the varistor main part 4 containing two or more pairs of internal electrodes 3 which counter mutually through two or more varistor layers 2 and varistor layers 2 which consist of zinc-oxide system ceramic material.

[0036] Such a varistor main part 4 is manufactured as follows, for example.

[0037] An organic binder, a dispersant, a plasticizer, etc. are added in the mixed raw material containing each powder, such as a zinc oxide and a bismuth oxide, and the slurry for sheet fabrication is produced in it.

[0038] Subsequently, the ceramic green sheet of arbitrary thickness is produced by applying a doctor blade method to the obtained slurry for sheet fabrication.

[0039] Subsequently, after piercing these ceramic green sheet so that it may become the rectangle of a predetermined size, on a specific ceramic green sheet, while applying the paste containing Ag which should serve as an internal electrode 3, two or more ceramic green sheets are accumulated and pressed, and subsequently it cuts in the size which should serve as each varistor main part 4, and the raw chip for two or more varistor main parts 4 is obtained.

[0040] Subsequently, after carrying out \*\* binder processing at the temperature of 400-500 degrees C, it calcinates at the temperature of 880-920 degrees C, and the sintered varistor main part 4 is obtained for these students' chip.

[0041] One pair of external electrodes 5 are formed in the specific portion on the outside surface of such a varistor main part 4, respectively. the external electrode 5 is formed on the outside surface of the varistor main part 4, and is electrically connected to an internal electrode 3 -- the 1st layer is formed on 6 and this 1st layer 6 -- the 2nd layer is formed on 7 and this 2nd layer 7 -- the 3rd layer is formed on 8 and this 3rd layer 8 -- the 4th layer is formed on 9 and this 4th layer 9 -- it has 10 [ layer / 5th ]

[0042] The electroplating film which consists of a metal with 10 [ layer / 5th / good / of soldering nature ] including a different metal component from the metal component with which 9 / layer / 4th ] is contained in the 1st layer including a different glass component from the glass component with which 8 / layer / 3rd ] is contained / 6 / in the 2nd layer for 7, including a glass component the 2nd layer, including a metal component and glass component the 1st layer is included. Moreover, the 2nd layer of 7 and the 3rd layer of the metal component by which 8 [ layer / 4th ] is further contained in 9 are included.

[0043] Moreover, on outside surfaces other than the portion in which the external electrode 5 of the varistor main part 4 is formed, the 2nd insulating layer 12 which consists of a glass component contained in 8 the 3rd layer is formed the 1st insulating layer 11 which consists of a glass component contained in 7 the 2nd layer, and on it.

[0044] Although at least one sort chosen from Ag, Pd, Au, and Pt can be used as a metal component which was mentioned above and which is contained in 6 the 1st layer, for example, an AgPd alloy is made to be contained preferably. Moreover, 7 and the metal component contained in 8 the 3rd layer contain the 2nd layer of Ag preferably. Moreover, although either [ at least ] Ag or Pd can be used, Ag is made to be contained as a metal component contained in 9 the 4th layer preferably, for example. Moreover, the plating film contained in 10 the 5th layer can be constituted with the tinning film formed for example, a nickel-plating film and on it, can be constituted with the solder

plating film formed a nickel-plating film and on it, or can be constituted only with a solder plating film.

[0045] Moreover, the glass component contained in 7 the 2nd layer is desirable, and the glass component contained in 8 the 3rd layer contains lead / boron / silicic acid / zinc system glass including boron / silicic acid / zinc system glass.

[0046] Moreover, as for the glass component contained in 6 the 1st layer, it is desirable that at least one sort of lead, boron, and silicic acid is included.

[0047] Insulating layers 11 and 12 are formed in such external electrode 5 row as follows, for example.

[0048] First, on the outside surface of the varistor main part 4, including the AgPd alloy of 90 % of the weight of Ag content, as a metal component, 6 applies the paste which contains lead / silicic acid / boron system glass five to 10% of the weight as a glass component, and is formed by printing at the temperature of 880-920 degrees C the 1st layer.

[0049] Next, the 2nd layer, it goes over the 7 and 1st insulating layers 11 throughout the outside surface of the structure obtained by forming 6 [ layer / 1st ] on 1st layer 6 and the outside surface 4 of the varistor main part 4 exposed from 6 the 1st layer, i.e., a varistor main part, they give a glass component, and are formed by heat-treating on the conditions which enable formation of a glass membrane. Here, boron / silicic acid / zinc system glass is advantageously used as a glass component.

[0050] Thousands of varistor main parts 4 with which 6 [ layer / 1st ] was formed are more specifically thrown in in an alumina pot, for example. By heating at the temperature of 800-900 degrees C, adding one to 2% of the weight to the varistor main part 4 with a powdered form, and rotating boron / silicic acid / zinc system glass at a low speed It is made to be formed over the outside-surface top to which the varistor main part 4 exposed the glass membrane which serves as the 7 and 1st insulating layers 11 the 2nd layer from on 1st layer 6.

[0051] The 8 and 2nd insulating layers 12 the 3rd layer next, on 2nd layer 7 and the 1st insulating layer 11 That is, it crosses throughout the outside surface of the structure which finished the above-mentioned process which forms the 2nd layer of the 7 and 1st insulating layers 11, a different glass component from the glass component given the 2nd layer for formation of seven is given, and it is formed by heat-treating on the conditions which enable formation of a glass membrane. Here, lead / boron / silicic acid / zinc system glass is advantageously used as a glass component.

[0052] The varistor main part 4 after the 2nd layer of the 7 and 1st insulating layers 11 were formed more specifically In an alumina pot, for example, by supplying thousands of pieces, and heating at the temperature of 700-800 degrees C, adding one to 2% of the weight to the varistor main part 4 with a powdered gestalt, and rotating lead / boron / silicic acid / zinc system glass at a low speed The glass membrane used as 3rd layer 8 top and the 2nd insulating layer 12 is formed ranging from on [ to the 1st insulating-layer 11 top ] 2nd layer 7.

[0053] Next, the 4th layer, 9 gives a different metal component from the metal component given the 1st layer for formation of six on 3rd layer 8, and is formed by heat-treating on the same conditions substantially with the heat treatment conditions applied the 1st layer for formation of six. For example, Ag is used as a metal component.

[0054] Moreover, in the process which forms 9 [ layer / 4th ], if a glass component is given, the intensity of the external electrode 5 can be raised. In this case, it is desirable to make it 5 or less % of the weight of a glass component included to a metal component. It is because the wettability to 9 of the electroplating film which is mentioned later and which is set to 10 the 5th layer will fall the 4th layer in 9 the 4th layer if a glass component is given exceeding 5 % of the weight. Moreover, if the 4th layer of a glass component is given to 9, lead / silicic acid / boron system glass will be used.

[0055] More specifically, including Ag, on 3rd layer 8, as a metal component, the paste which contains lead / silicic acid / boron system glass 0.2 to 5% of the weight as a glass component is applied, and 9 [ layer / 4th ] is formed by printing at the temperature of 600-700 degrees C.

[0056] in heat treatment for [ which was mentioned above ] forming 9 [ layer / 4th ], the metal component contained in 9 the 4th layer contains an each glass component -- the 2nd layer is diffused into 7 and 3rd layer 8 For example, Ag contained in 4 the 4th layer diffuses the 2nd layer into 7 and 3rd layer 8, and the 1st layer of the electrical installation between 6 and 4th layer 9 is obtained by it.

[0057] Next, 10 [ layer / 5th ] is given by forming the electroplating film which consists of a good metal of soldering nature on 4th layer 9. More specifically, a tinning film is formed a nickel-plating film and on it of electroplating on 4th layer 9.

[0058] Thus, in the external electrode 5 of the obtained laminating chip varistor 1, 6 [ layer / 1st ] acts so that the good electric flow between internal electrodes 3 may be aimed at. Moreover, as mentioned above, by for example making a glass component contain five to 10% of the weight, the degree of sintering of 6 is raised the 1st layer, 6 [ layer / 1st ] is made into a precise state, and the operation which prevents permeation of plating liquid is performed more certainly.

[0059] The 1st insulating layer 11 acts so that the insulation in the outside surface of the varistor main part 4 may be secured while making good adhesion of the outside surface of the varistor main part 4, and the 2nd insulating layer 12. Moreover, as a glass component contained in the 7 and 1st insulating layers 11 the 2nd layer, even if spread in the

varistor main part 4, it is desirable to use the thing of composition which does not degrade the property of the varistor main part 4, and in order to fill this request, the boron / silicic acid / zinc system glass which was mentioned above are used advantageously.

[0060] It is desirable that the glass component of the composition excellent in the wettability to glass is included, and the 2nd insulating layer 12 becomes possible [ forming a film with the 2nd insulating layer 12 uniform on the 1st insulating layer 11 by this ], and it acts so that plating growth to a field [ \*\*\*\* / un-/ on the outside surface of the varistor main part 4 ] may be suppressed while it acts so that good plating-proof fluidity may be given to the outside surface of the varistor main part 4. The lead / boron / silicic acid / zinc system glass mentioned above for this purpose are used advantageously.

[0061] In the field which should form the external electrode 5, although scattering of the glass brought about by formation of 3rd layer 8 grade will check plating grant nature, 9 [ layer / 4th ] acts so that such plating grant nature may be raised. Moreover, the 4th layer, by formation of 9, the 2nd layer of the metal component contained in 9 the 4th layer is diffused into 7 and 3rd layer 8, and it acts so that the 1st layer of the electrical installation between 6 and 4th layer 9 may be obtained.

[0062] 10 [ layer / 5th ] acts so that soldering nature of the external electrode 5 may be made good. Moreover, a nickel-plating layer which is contained in 10 the 5th layer and which was mentioned above acts so that the migration of Ag may be prevented.

[0063] In addition, in the laminating chip varistor 1, the 3rd layer of the 2nd layer of a clear boundary may not appear between 8 with 7. However, if 8 [ layer / 2nd / layer / 3rd ] is formed with 7 as long as two layers which consist of mutually different glass components are formed in layers, you should recognize.

[0064] And the 3rd layer is set to 8. moreover, the 2nd currently formed between 9 the 4th layer with 6 the 1st layer -- layer 7 -- It writes in addition that a property top is satisfactory in any way though the 1st layer of the 2nd layer of 7 and the glass component contained in 8 the 3rd layer are partially intermingled with 6 and the metal component contained in 9 the 4th layer and there are the 2nd layer of 7 and the part which seems not to form a part of 8 [ layer / 3rd ].

[0065]

[Effect of the Invention] As mentioned above, it sets to the manufacture method of the laminating chip varistor concerning this invention. By giving a metal component and a glass component on the outside surface of a varistor main part, and heat-treating them, in order to form an external electrode on the outside surface of a varistor main part By forming the 1st layer, giving a glass component on this 1st layer, and heat-treating on the conditions which enable formation of a glass membrane By forming the 2nd layer, giving a different glass component from the glass component given on this 2nd layer for the 2nd-layer formation, and heat-treating on the conditions which enable formation of a glass membrane By forming the 3rd layer, giving a different metal component from the metal component given on this 3rd layer for the 1st-layer formation, and heat-treating on the same conditions substantially with the heat treatment conditions applied for the 1st-layer formation By forming the 4th layer and forming the electroplating film which consists of a good metal of soldering nature on this 4th layer In heat treatment for carrying out each process and forming the 4th layer which forms the 5th layer, diffusing the metal component contained in the 4th layer into the 2nd layer and the 3rd layer is performed.

[0066] therefore, the plating liquid applied in electroplating for forming the 5th layer -- a varistor book -- by the 1st layer or 4th-layer existence, especially the 1st-layer existence recognized precise structure including the glass component, infiltrating into the inside of the body is prevented advantageously, and it can secure the high reliability of a laminating chip varistor

[0067] In the 1st above-mentioned layer, since a higher degree of sintering is obtained and the 1st layer may become more precise structure when a glass component is made to be contained five to 10% of the weight to a metal component, the permeation prevention effect of plating liquid is heightened more, and can raise the reliability of a laminating chip varistor more.

[0068] Moreover, the intensity of an external electrode can be raised in the 4th layer, without reducing the wettability to the 4th layer of the electroplating film used as the 5th layer, if 5 or less % of the weight of a glass component is made to be contained to a metal component.

[0069] In this invention, moreover, on outside surfaces other than the portion in which the external electrode of a varistor main part is formed If the 2nd insulating layer which consists of a glass component contained in the 3rd layer is formed the 1st insulating layer which consists of a glass component contained in the 2nd layer, and on it While the good plating-proof fluidity in the outside surface which the varistor main part 4 exposed is given by these insulating layers, the electroplating film of the 5th layer can suppress growing up also into un-wanting on outside surfaces other than the portion in which the external electrode of a varistor main part is formed. Moreover, the moisture resistance of

a laminating chip varistor can also be raised.

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

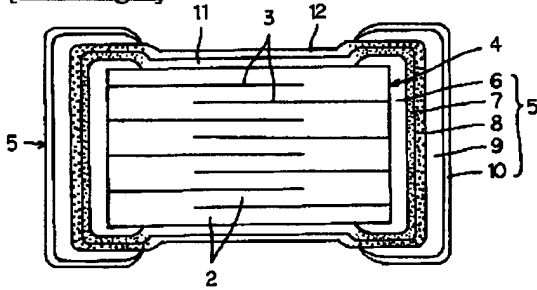
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DRAWINGS

---

[Drawing 1]



---

[Translation done.]

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-143910

(P 2001-143910 A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int. Cl.<sup>7</sup>

H01C 7/10

識別記号

FI

H01C 7/10

テ-マコ-ド (参考)

5E034

審査請求 未請求 請求項の数 11 OL

(全7頁)

(21) 出願番号 特願2000-223336 (P2000-223336)

(22) 出願日 平成12年7月25日 (2000.7.25)

(31) 優先権主張番号 特願平11-240738

(32) 優先日 平成11年8月27日 (1999.8.27)

(33) 優先権主張国 日本 (JP)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 吉田 義和

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 富永 亨

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 100085143

弁理士 小柴 雅昭

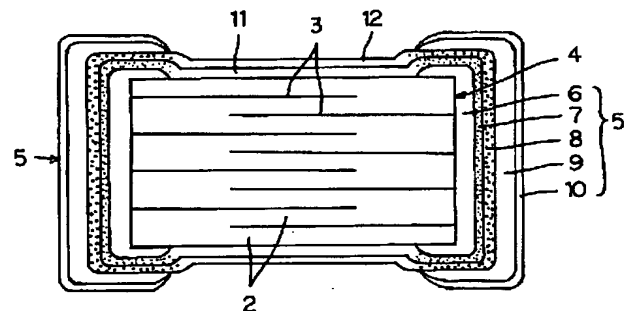
最終頁に続く

(54) 【発明の名称】 積層チップバリスタの製造方法および積層チップバリスタ

(57) 【要約】

【課題】 積層チップバリスタの外部電極の最外層に半田付け性の良好な金属膜を電気めっきにより形成するとき、めっき液が原因でバリスタ本体の欠陥が生じたり、バリスタ本体の不所望な部分にめっき膜が成長したりする。

【解決手段】 外部電極5を形成するため、バリスタ本体4の外表面上に金属成分とガラス成分とを含む第1層6、第1層6上および第1層6から露出しているバリスタ本体4の外表面上にガラス成分を含む第2層7および第1の絶縁層11、第2層7および第1の絶縁層11上にガラス成分を含む第3層8および第2の絶縁層12、第3層8上に金属成分を含む第4層9をそれぞれ熱処理によって形成し、第4層9上に半田付け性の良好な金属からなる電気めっき膜をもって第5層10を形成する。第2層7および第3層8には、熱処理において第4層9に含まれる金属成分が拡散する。



## 【特許請求の範囲】

【請求項 1】 酸化亜鉛系セラミック材料からなる複数のバリスタ層および前記バリスタ層を介して互に対向する少なくとも 1 対の内部電極を含む、バリスタ本体を用意し、

前記内部電極の特定のものに電氣的に接続されるように、前記バリスタ本体の外表面上の特定の部分に、金属成分とガラス成分とを付与し、熱処理することによって、外部電極のための第 1 層を形成し、

前記第 1 層上に、ガラス成分を付与し、熱処理することによって、前記第 1 層上に外部電極のための第 2 層を形成し、

前記第 2 層上に、前記第 2 層の形成のために付与されたガラス成分とは異なるガラス成分を付与し、熱処理することによって、前記第 2 層上に外部電極のための第 3 層を形成し、

前記第 3 層上に、前記第 1 層の形成のために付与された金属成分とは異なる金属成分を付与し、前記第 1 層の形成のために適用された熱処理条件と実質的に同じ条件で熱処理することによって、外部電極のための第 4 層を形成し、

前記第 4 層上に、半田付け性の良好な金属からなる電気めっき膜を形成することによって、外部電極のための第 5 層を形成する、各工程を備え、

前記第 4 層を形成するための熱処理において、前記第 4 層に含まれる金属成分を前記第 2 層および前記第 3 層中へ拡散させることが行なわれる、積層チップバリスタの製造方法。

【請求項 2】 前記第 1 層を形成する工程において、ガラス成分の付与量は、金属成分に対して 5～10 重量%である、請求項 1 に記載の積層チップバリスタの製造方法。

【請求項 3】 前記第 4 層を形成する工程において、金属成分に対して 5 重量%以下のガラス成分が付与される、請求項 1 または 2 に記載の積層チップバリスタの製造方法。

【請求項 4】 前記第 2 層の形成と同時に、前記第 1 層から露出している前記バリスタ本体の外表面上に、前記第 2 層に含まれるガラス成分からなる第 1 の絶縁層を形成し、

前記第 3 層の形成と同時に、前記第 1 の絶縁層上に、前記第 3 層に含まれるガラス成分からなる第 2 の絶縁層を形成する、各工程を備える、請求項 1 ないし 3 のいずれかに記載の積層チップバリスタの製造方法。

【請求項 5】 酸化亜鉛系セラミック材料からなる複数のバリスタ層および前記バリスタ層を介して互に対向する少なくとも 1 対の内部電極を含む、バリスタ本体と、

前記バリスタ本体の外表面上の特定の部分にそれぞれ形成される 1 対の外部電極とを備え、

前記外部電極の一方および他方は、それぞれ、特定の前記バリスタ層を介して対向している前記内部電極の一方および他方に電氣的に接続されている、積層チップバリスタであって、

前記外部電極は、前記バリスタ本体の外表面上に形成されかつ前記内部電極に電氣的に接続される第 1 層と、前記第 1 層上に形成される第 2 層と、前記第 2 層上に形成される第 3 層と、前記第 3 層上に形成される第 4 層と、前記第 4 層上に形成される第 5 層とを備え、

前記第 1 層は金属成分とガラス成分とを含み、前記第 2 層はガラス成分を含み、前記第 3 層は前記第 2 層に含まれるガラス成分とは異なるガラス成分を含み、前記第 4 層は前記第 1 層に含まれる金属成分とは異なる金属成分を含み、前記第 5 層は半田付け性の良好な金属からなる電気めっき膜を含み、

前記第 2 層および前記第 3 層は、さらに、前記第 4 層に含まれる金属成分を含む、積層チップバリスタ。

【請求項 6】 前記第 1 層において、ガラス成分は、金属成分に対して 5～10 重量%含む、請求項 5 に記載の積層チップバリスタ。

【請求項 7】 前記第 4 層において、金属成分に対して 5 重量%以下のガラス成分を含む、請求項 5 または 6 に記載の積層チップバリスタ。

【請求項 8】 前記バリスタ本体の、前記外部電極が形成される部分以外の外表面上には、前記第 2 層に含まれるガラス成分からなる第 1 の絶縁層およびその上に前記第 3 層に含まれるガラス成分からなる第 2 の絶縁層が形成されている、請求項 5 ないし 7 のいずれかに記載の積層チップバリスタ。

【請求項 9】 前記第 1 層に含まれる金属成分は、Ag または AgPd 合金を含み、前記第 2 層および前記第 3 層に含まれる金属成分は、Ag を含み、前記第 4 層に含まれる金属成分は、Ag を含む、請求項 5 ないし 8 のいずれかに記載の積層チップバリスタ。

【請求項 10】 前記第 2 層に含まれるガラス成分は、珪素／珪酸／亜鉛系ガラスを含み、前記第 3 層に含まれるガラス成分は、鉛／珪素／珪酸／亜鉛系ガラスを含む、請求項 5 ないし 9 のいずれかに記載の積層チップバリスタ。

【請求項 11】 前記第 1 層に含まれるガラス成分は、鉛、珪素および珪酸の少なくとも 1 種を含む、請求項 5 ないし 10 のいずれかに記載の積層チップバリスタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、積層チップバリスタの製造方法および積層チップバリスタに関するもので、特に、積層チップバリスタの外部電極の形成方法の改良に関するものである。

【0002】

【従来の技術】 積層チップバリスタは、一般的に、酸化

亜鉛系セラミック材料からなる複数のバリスタ層およびバリスタ層を介して互いに対向する少なくとも1対の内部電極を含むバリスタ本体と、このバリスタ本体の外表面上の特定の部分にそれぞれ形成される1対の外部電極とを備えている。外部電極の一方および他方は、それぞれ、特定のバリスタ層を介して対向している内部電極の一方および他方に電気的に接続されている。

【0003】上述したような積層チップバリスタにおいて、外部電極は、典型的には、互いに材質の異なる複数の層から構成され、その最外層は、外部電極に対して良好な半田付け性を与えるため、半田付け性の良好な金属からなる膜をもって構成され、このような半田付け性の良好な金属膜は、通常、電気めっきを施すことによって形成される。

【0004】上述のような外部電極を備える積層セラミック電子部品に関連するもので、この発明にとって興味ある従来技術が、たとえば特開平8-97072号公報に記載されている。

【0005】ここでは、セラミックをもって構成される電子部品本体の端面上に、内部電極に電気的に接続されるように、ガラスフリットを含有する外部電極のための第1層を形成し、次に、ガラスフリットを含有しない外部電極のための第2層を形成した後、電気めっきによって最外層を形成することが記載されている。

【0006】

【発明が解決しようとする課題】しかしながら、上述した特開平8-97072号公報に記載の方法を、酸化亜鉛系セラミック材料からなるバリスタ層を備えるバリスタ本体上の外部電極の形成に適用すると、酸化亜鉛系セラミック材料は電気抵抗が比較的低いため、外部電極のたとえば第2層と露出したバリスタ本体の外表面との間での表面電位差が比較的小さくなる。したがって、電気めっきを実施すると、バリスタ本体の露出した外表面が還元され、第2層上だけでなく、バリスタ本体の外表面にもめっき膜が形成されてしまい、得られた積層チップバリスタの特性の劣化を招くことがある。

【0007】また、酸化亜鉛系セラミック材料は、酸またはアルカリに弱いと、バリスタ本体の露出した外表面が電気めっきを行なう際にめっき液に接触すると、溶解が生じ、それによってバリスタ本体の劣化をもたらすことになり、バリスタ特性を維持できないという問題を生じることもある。

【0008】さらに、外部電極の最外層を形成するため、電気めっきを適用したとき、バリスタ本体の内部欠陥が生じやすく、これによっても、積層チップバリスタの特性の劣化を引き起こすという問題に遭遇することがある。したがって、この問題は、外部電極とバリスタ本体との隙間等からバリスタ本体中へ浸入するめっき液が原因と考えられる。特に、このめっき液の浸入は、バリスタ本体の内部電極の引き出し部分において生じるもの

がより深刻であり、内部電極とバリスタ層との接合状態を悪化させ、特に寿命試験において積層チップバリスタの特性が劣化してしまうという問題を引き起こす。

【0009】上述したバリスタ本体の露出した外表面がめっき液と接触することによってもたらされる問題は、たとえば特開平8-153607号公報に記載されるように、バリスタ本体の露出した外表面をガラス膜で覆うことによって、一応の解決を図ることができる。

【0010】しかしながら、バリスタ本体の露出した外表面にのみ高い精度をもってガラス膜を形成することは比較的困難である。たとえば、外部電極部分にもガラス膜が形成されたり、逆に、露出した外表面をガラス膜が完全には覆わない状態となることがある。前者の場合には、最外層のめっき膜の形成が阻害され、後者の場合には、このようなガラス膜を形成しない場合の前述した問題を完全には解消することができない。

【0011】そこで、この発明の目的は、上述したような問題を解決し得る、積層チップバリスタの製造方法およびこの製造方法によって得られる積層チップバリスタの構造を提供しようとするところである。

【0012】

【課題を解決するための手段】この発明は、まず、積層チップバリスタの製造方法に向けられる。この製造方法において、上述した技術的課題を解決するため、次のような各工程が実施される。

【0013】まず、酸化亜鉛系セラミック材料からなる複数のバリスタ層およびバリスタ層を介して互いに対向する少なくとも1対の内部電極を含む、バリスタ本体を用意する。

【0014】次いで、内部電極の特定のものに電気的に接続されるように、バリスタ本体の外表面上の特定の部分に、金属成分とガラス成分とを付与し、熱処理することによって、外部電極のための第1層を形成する。

【0015】次いで、第1層上に、ガラス成分を付与し、熱処理することによって、第1層上に外部電極のための第2層を形成する。

【0016】次いで、第2層上に、第2層の形成のために付与されたガラス成分とは異なるガラス成分を付与し、熱処理することによって、第2層上に外部電極のための第3層を形成する。

【0017】次いで、第3層上に、第1層の形成のために付与された金属成分とは異なる金属成分を付与し、第1層の形成のために適用された熱処理条件と実質的に同じ条件で熱処理することによって、外部電極のための第4層を形成する。

【0018】次いで、第4層上に、半田付け性の良好な金属からなる電気めっき膜を形成することによって、外部電極のための第5層を形成する。

【0019】そして、上述の第4層を形成するための熱処理において、第4層に含まれる金属成分を第2層およ

び第3層中へ拡散させることが行なわれる。

【0020】好ましくは、上述の第1層を形成する工程において、ガラス成分の付与量は、金属成分に対して5～10重量%となるようにされる。

【0021】また、好ましくは、第4層を形成する工程において、金属成分に対して5重量%以下のガラス成分が付与される。

【0022】また、この発明に係る積層チップバリスタの製造方法において、好ましくは、第2層の形成と同時に、第1層から露出しているバリスタ本体の外表面上に、第2層に含まれるガラス成分からなる第1の絶縁層を形成し、また、第3層の形成と同時に、第1の絶縁層上に、第3層に含まれるガラス成分からなる第2の絶縁層を形成することが行なわれる。

【0023】この発明は、また、上述したような方法によって製造されることができ積層チップバリスタの構造にも向けられる。

【0024】この発明に係る積層チップバリスタは、酸化亜鉛系セラミック材料からなる複数のバリスタ層およびバリスタ層を介して互いに対向する少なくとも1対の内部電極を含む、バリスタ本体と、バリスタ本体の外表面上の特定の部分にそれぞれ形成される1対の外部電極とを備え、外部電極の一方および他方は、それぞれ、特定のバリスタ層を介して対向している内部電極の一方および他方に電氣的に接続されている。

【0025】また、外部電極は、バリスタ本体の外表面上に形成されかつ内部電極に電氣的に接続される第1層と、第1層上に形成される第2層と、第2層上に形成される第3層と、第3層上に形成される第4層と、第4層上に形成される第5層とを備える。

【0026】上述の第1層は金属成分とガラス成分とを含み、第2層はガラス成分を含み、第3層は第2層に含まれるガラス成分とは異なるガラス成分を含み、第4層は第1層に含まれる金属成分とは異なる金属成分を含み、第5層は半田付け性の良好な金属からなる電気めっき膜を含む。

【0027】そして、第2層および第3層は、さらに、第4層に含まれる金属成分を含む。

【0028】好ましくは、上述の第1層において、ガラス成分は、金属成分に対して5～10重量%含むようにされる。

【0029】また、好ましくは、第4層において、金属成分に対して5重量%以下のガラス成分を含むようにされる。

【0030】また、この発明に係る積層チップバリスタにおいて、好ましくは、バリスタ本体の、外部電極が形成される部分以外の外表面上には、第2層に含まれるガラス成分からなる第1の絶縁層およびその上に第3層に含まれるガラス成分からなる第2の絶縁層が形成されている。

【0031】また、好ましくは、第1層に含まれる金属成分は、AgまたはAgPd合金を含み、第2層および第3層に含まれる金属成分は、Agを含み、第4層に含まれる金属成分は、Agを含む。

【0032】また、好ましくは、第2層に含まれるガラス成分は、硼素／珪酸／亜鉛系ガラスを含み、第3層に含まれるガラス成分は、鉛／硼素／珪酸／亜鉛系ガラスを含む。

【0033】また、好ましくは、第1層に含まれるガラス成分および第4層に含まれるガラス成分は、鉛、硼素および珪酸の少なくとも1種を含む。

【0034】

【発明の実施の形態】図1は、この発明の一実施形態による積層チップバリスタ1を示す断面図である。

【0035】積層チップバリスタ1は、酸化亜鉛系セラミック材料からなる複数のバリスタ層2およびバリスタ層2を介して互いに対向する複数対の内部電極3を含む、バリスタ本体4を備えている。

【0036】このようなバリスタ本体4は、たとえば、次のようにして製造される。

【0037】酸化亜鉛および酸化ビスマス等の各粉末を含む混合原料に、有機バインダ、分散剤および可塑剤等を添加し、シート成形用スラリーを作製する。

【0038】次いで、得られたシート成形用スラリーに対してドクターブレード法を適用することにより、任意の厚みのセラミックグリーンシートを作製する。

【0039】次いで、これらセラミックグリーンシートを所定の大きさの矩形となるように打ち抜いた後、特定のセラミックグリーンシート上に、内部電極3となるべきAgを含むペーストを塗布するとともに、複数のセラミックグリーンシートを積み重ね、プレスし、次いで、個々のバリスタ本体4となるべき寸法に切断し、複数のバリスタ本体4のための生のチップを得る。

【0040】次いで、これら生のチップを、たとえば400～500℃の温度で脱バインダ処理した後、たとえば880～920℃の温度で焼成し、焼結されたバリスタ本体4を得る。

【0041】このようなバリスタ本体4の外表面上の特定の部分には、1対の外部電極5がそれぞれ形成される。外部電極5は、バリスタ本体4の外表面上に形成されかつ内部電極3に電氣的に接続される第1層6と、この第1層6上に形成される第2層7と、この第2層7上に形成される第3層8と、この第3層8上に形成される第4層9と、この第4層9上に形成される第5層10とを備えている。

【0042】第1層6は金属成分とガラス成分とを含み、第2層7はガラス成分を含み、第3層8は第2層に含まれるガラス成分とは異なるガラス成分を含み、第4層9は第1層に含まれる金属成分とは異なる金属成分を含み、第5層10は半田付け性の良好な金属からなる電

気めつき膜を含んでいる。また、第2層7および第3層8は、さらに、第4層9に含まれる金属成分を含んでいる。

【0043】また、バリスタ本体4の、外部電極5が形成される部分以外の外表面上には、第2層7に含まれるガラス成分からなる第1の絶縁層11およびその上に第3層8に含まれるガラス成分からなる第2の絶縁層12が形成されている。

【0044】上述した第1層6に含まれる金属成分としては、たとえば、Ag、Pd、AuおよびPtから選ばれた少なくとも1種を用いることができるが、好ましくは、AgPd合金を含むようにされる。また、第2層7および第3層8に含まれる金属成分は、好ましくは、Agを含む。また、第4層9に含まれる金属成分としては、たとえば、AgおよびPdの少なくとも一方を用いることができるが、好ましくは、Agを含むようにされる。また、第5層10に含まれるめっき膜は、たとえば、ニッケルめっき膜およびその上に形成される錫めっき膜をもって構成されたり、ニッケルめっき膜およびその上に形成される半田めっき膜をもって構成されたり、半田めっき膜のみをもって構成されたりすることができる。

【0045】また、第2層7に含まれるガラス成分は、好ましくは、珪素/珪酸/亜鉛系ガラスを含み、第3層8に含まれるガラス成分は、鉛/珪素/珪酸/亜鉛系ガラスを含む。

【0046】また、第1層6に含まれるガラス成分は、鉛、珪素および珪酸の少なくとも1種を含むことが好ましい。

【0047】このような外部電極5ならびに絶縁層11および12は、たとえば、次のようにして形成される。

【0048】まず、第1層6は、バリスタ本体4の外表面上に、たとえば、Ag含有率90重量%のAgPd合金を金属成分として含み、かつガラス成分として鉛/珪酸/珪素系ガラスを5~10重量%含有するペーストを塗布し、880~920℃の温度で焼き付けることによって形成される。

【0049】次に、第2層7および第1の絶縁層11は、第1層6上および第1層6から露出しているバリスタ本体4の外表面上に、すなわち、バリスタ本体4上に第1層6を形成することによって得られた構造物の外表面の全域にわたって、ガラス成分を付与し、ガラス膜の形成を可能にする条件で熱処理することによって形成される。ここで、ガラス成分として、珪素/珪酸/亜鉛系ガラスが有利に用いられる。

【0050】より具体的には、第1層6が形成されたバリスタ本体4を、アルミナポット内にたとえば数千個投入し、珪素/珪酸/亜鉛系ガラスを粉末状の形態をもってバリスタ本体4に対して1~2重量%添加し、低速で回転させながら、800~900℃の温度で加熱するこ

とによって、第2層7および第1の絶縁層11となるガラス膜を第1層6上からバリスタ本体4の露出した外表面上にわたって形成するようにされる。

【0051】次に、第3層8および第2の絶縁層12は、第2層7上および第1の絶縁層11上に、すなわち、上述の第2層7および第1の絶縁層11を形成する工程を終えた構造物の外表面の全域にわたって、第2層7の形成のために付与されたガラス成分とは異なるガラス成分を付与し、ガラス膜の形成を可能にする条件で熱処理することによって形成される。ここで、ガラス成分として、鉛/珪素/珪酸/亜鉛系ガラスが有利に用いられる。

【0052】より具体的には、第2層7および第1の絶縁層11が形成された後のバリスタ本体4を、アルミナポット内にたとえば数千個投入し、鉛/珪素/珪酸/亜鉛系ガラスを粉末状の形態をもってバリスタ本体4に対して1~2重量%添加し、低速で回転させながら、700~800℃の温度で加熱することによって、第3層8上および第2の絶縁層12となるガラス膜を第2層7上から第1の絶縁層11上にわたって形成するようにされる。

【0053】次に、第4層9は、第1層6の形成のために付与された金属成分とは異なる金属成分を第3層8上に付与し、第1層6の形成のために適用された熱処理条件と実質的に同じ条件で熱処理することによって形成される。たとえば、金属成分としては、Agが用いられる。

【0054】また、第4層9を形成する工程において、ガラス成分が付与されると、外部電極5の強度を向上させることができる。この場合、金属成分に対して5重量%以下のガラス成分を含むようにすることが好ましい。第4層9において、5重量%を超えてガラス成分が付与されると、後述する第5層10となる電気めっき膜の第4層9に対する濡れ性が低下するからである。また、第4層9にガラス成分を付与するならば、鉛/珪酸/珪素系ガラスが用いられる。

【0055】より具体的には、第3層8上に、Agを金属成分として含み、かつガラス成分として鉛/珪酸/珪素系ガラスを0.2~5重量%含有するペーストを塗布し、600~700℃の温度で焼き付けることによって第4層9が形成される。

【0056】上述した第4層9を形成するための熱処理において、第4層9に含まれる金属成分は、各々ガラス成分を含む第2層7および第3層8中へ拡散される。たとえば、第4層9に含まれるAgが、第2層7および第3層8中へ拡散し、それによって、第1層6および第4層9間の電氣的接続が得られる。

【0057】次に、第5層10は、第4層9上に、半田付け性の良好な金属からなる電気めっき膜を形成することによって与えられる。より具体的には、第4層9上

に、電気めっきによって、ニッケルめっき膜およびその上に錫めっき膜が形成される。

【0058】このようにして得られた積層チップバリスタ1の外部電極5において、第1層6は、内部電極3との間での良好な電氣的導通を図るように作用する。また、前述したように、ガラス成分をたとえば5～10重量%含有させることにより、第1層6の焼結性を向上させ、第1層6を緻密な状態とし、めっき液の浸入を防ぐ作用がより確実に営まれる。

【0059】第1の絶縁層11は、バリスタ本体4の外表面と第2の絶縁層12との密着性を良好なものとするとともに、バリスタ本体4の外表面での絶縁性を確保するように作用する。また、第2層7および第1の絶縁層11に含まれるガラス成分としては、バリスタ本体4内に拡散してもバリスタ本体4の特性を劣化させない組成のものを用いることが好ましく、この要望を満たすため、前述したような硼素／珪酸／亜鉛系ガラスが有利に用いられる。

【0060】第2の絶縁層12は、ガラスに対する濡れ性に優れた組成のガラス成分を含むことが好ましく、これによって、第2の絶縁層12が第1の絶縁層11上で均一な膜を形成することが可能となり、バリスタ本体4の外表面に対して良好な耐めっき液性を与えるように作用するとともに、バリスタ本体4の外表面上の不所望な領域へのめっき成長を抑制するように作用する。この目的のために、前述した鉛／硼素／珪酸／亜鉛系ガラスが有利に用いられる。

【0061】外部電極5を形成すべき領域において、第3層8等の形成によってもたらされるガラスの点在は、めっき付与性を阻害することになるが、第4層9は、このようなめっき付与性を向上させるように作用する。また、第4層9の形成によって、第4層9に含まれる金属成分は、第2層7および第3層8中へ拡散し、第1層6および第4層9間の電氣的接続が得られるように作用する。

【0062】第5層10は、外部電極5の半田付け性を良好なものとするように作用する。また、第5層10に含まれる前述したようなニッケルめっき層は、Agのマイグレーションを防止するようにも作用する。

【0063】なお、積層チップバリスタ1において、第2層7と第3層8との間には、明確な境界が現れないこともある。しかしながら、互いに異なるガラス成分からなる2つの層が層状に形成されている限り、第2層7と第3層8とが形成されていると認識すべきである。

【0064】また、第1層6と第4層9との間に形成されている第2層7および第3層8においては、第1層6と第4層9に含まれる金属成分と第2層7および第3層8に含まれるガラス成分とが部分的に混在し、あたかも第2層7および第3層8が一部形成されていないように見える箇所があったとしても、特性上は何ら問題はない

ことを付記しておく。

#### 【0065】

【発明の効果】以上のように、この発明に係る積層チップバリスタの製造方法においては、バリスタ本体の外表面上に外部電極を形成するため、金属成分とガラス成分とをバリスタ本体の外表面上に付与し、熱処理することによって、第1層を形成し、この第1層上に、ガラス成分を付与し、ガラス膜の形成を可能にする条件で熱処理することによって、第2層を形成し、この第2層上に、第2層の形成のために付与されたガラス成分とは異なるガラス成分を付与し、ガラス膜の形成を可能にする条件で熱処理することによって、第3層を形成し、この第3層上に、第1層の形成のために付与された金属成分とは異なる金属成分を付与し、第1層の形成のために適用された熱処理条件と実質的に同じ条件で熱処理することによって、第4層を形成し、この第4層上に、半田付け性の良好な金属からなる電気めっき膜を形成することによって、第5層を形成する、各工程を実施し、また、第4層を形成するための熱処理において、第4層に含まれる金属成分を第2層および第3層中へ拡散させることが行なわれる。

【0066】したがって、第5層を形成するための電気めっきにおいて適用されるめっき液がバリスタ本体中へ浸入することが、第1層ないし第4層の存在、特にガラス成分を含んで緻密な構造とされた第1層の存在によって有利に防止され、積層チップバリスタの高い信頼性を確保することができる。

【0067】上述の第1層において、ガラス成分が金属成分に対して5～10重量%含むようにされると、より高い焼結性が得られ、第1層がより緻密な構造となり得るので、めっき液の浸入防止効果がより高められ、積層チップバリスタの信頼性をより高めることができる。

【0068】また、第4層において、金属成分に対して5重量%以下のガラス成分を含むようにされると、第5層となる電気めっき膜の第4層に対する濡れ性を低下させることなく、外部電極の強度を向上させることができる。

【0069】また、この発明において、バリスタ本体の、外部電極が形成される部分以外の外表面上に、第2層に含まれるガラス成分からなる第1の絶縁層およびその上に第3層に含まれるガラス成分からなる第2の絶縁層が形成されると、バリスタ本体4の露出した外表面での良好な耐めっき液性がこれら絶縁層によって与えられるとともに、第5層の電気めっき膜が、バリスタ本体の、外部電極が形成される部分以外の外表面上に不所望にも成長することを抑制することができる。また、積層チップバリスタの耐湿性を向上させることもできる。

#### 【図面の簡単な説明】

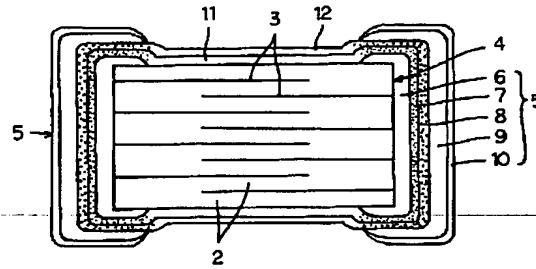
【図1】この発明の一実施形態による積層チップバリスタ1を示す断面図である。

## 【符号の説明】

- 1 積層チップバリスタ  
 2 バリスタ層  
 3 内部電極  
 4 バリスタ本体  
 5 外部電極  
 6 第1層

- 7 第2層  
 8 第3層  
 9 第4層  
 10 第5層  
 11 第1の絶縁層  
 12 第2の絶縁層

【図1】



フロントページの続き

(72)発明者 森本 正士  
 京都府長岡京市天神二丁目26番10号 株式  
 会社村田製作所内

Fターム(参考) 5E034 CA06 CB01 CC03 DA07 DC01  
 DC03 DC05 DC06 DC09 DE07